

JPAB

CLIPPEDIMAGE= JP356060061A

PAT-NO: JP356060061A

DOCUMENT-IDENTIFIER: JP 56060061 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 23, 1981

INVENTOR-INFORMATION:

NAME

MIKOSHIBA, KEIMEI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP54135775

APPL-DATE: October 19, 1979

INT-CL (IPC): H01L029/78; H01L029/04

US-CL-CURRENT: 257/255

ABSTRACT:

PURPOSE: To minimize the change in the transistor characteristics due to piezo effect by coinciding the channel direction of a P type channel field effect transistor with <100> direction.

CONSTITUTION: The channel of the P type channel field effect transistor formed on the main surface of a silicon monocrystalline substrate 1 is directed in <100> direction. Source 3, gate electrode 5 and drain 4 are so disposed, for example, in a <100> direction being 45° with respect to the orientation flat part 2 in a 100 direction of the silicon monocrystalline substrate 1 having (100) plane so that the channel direction coincides with the <100> direction.

COPYRIGHT: (C)1981, JPO&Japio

## ⑫ 公開特許公報 (A)

昭56—60061

⑬ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
29/04

識別記号

庁内整理番号  
6603—5F  
7514—5F

⑭ 公開 昭和56年(1981)5月23日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ⑮ 半導体装置

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑯ 特 願 昭54—135775

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭54(1979)10月19日

東京都港区芝5丁目33番1号

⑲ 発 明 者 御子柴啓明

⑳ 代 理 人 弁理士 内原晋

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

シリコン単結晶基板の主面に形成されたPチャ  
ネル電界効果トランジスタのチャンネルが〈100〉  
方向にあることを特徴とする半導体装置。

## 3. 発明の詳細な説明

本発明は、ピエゾ効果として知られる弾性歪  
(又は応力)に対する電界効果トランジスタの特  
性変化が最小になるようにした、半導体装置に関  
する。

ゲルマニウム或はシリコンには大きなピエゾ抵  
抗効果が存在することが知られている(C.S.  
Smith, "Piezoresistance Effect in  
Germanium and Silicon" Phys. Rev. Vol.  
94, No. 1, pp42~pp49, 1954)。ここでは、応

用上重要なシリコンに限定して説明する。ピエゾ  
抵抗効果はキャリアの移動度が結晶歪によって変  
化することによる。この効果は、キャリアが電子  
か正孔かによって著しく異なる。更に、大きな結  
晶歪異方性を持っている。又、キャリアの濃度にも  
大きく依存する。例えば、P型シリコンの場合  
には、電流の向きが〈110〉方向にあるとき、大  
きなピエゾ効果が現われ、〈100〉方向にあると  
きはこの効果が最小になることが知られている。  
従って、P型抵抗の方向を〈100〉に一致させる  
ならば、ピエゾ効果は最小になり、ペレットの受  
ける歪に対する抵抗値変化は最小になる。又、不  
純物濃度に関しては、濃度が増す程、ピエゾ効果  
が小さくなることが知られている。

所でMOSトランジスタのチャンネル反転層に  
おいても、ピエゾ効果が存在する。しかし、反転  
層はシリコン表面近傍の非常に浅い領域に形成さ  
れるため、シリコンのバルクとはピエゾ効果の現  
れ方は異なる。又、接合型電界効果トランジスタ  
においても、そのチャンネル部分はピエゾ効果の

影響を直接に受ける。この場合には、その素子構造から、シリコンのバルクと同様の効果であろうと考えられる。

近年、アナログ集積回路を電界効果トランジスタ特にMOSトランジスタを用いて実現することが多くなってきた。これは、ディジタル回路とアナログ回路の両方を含む大規模集積回路が容易に実現できることによる。この種の代表的なものとしては、従来のMOS集積回路と、MOSデバイスを用いて実現されたA/D変換器とを組み合わせたものがある。一般にA/D変換器はデバイス特性に高精度が要求される。A/D変換器の読えるビット数の上限は、デバイス特性の精度で決定される。この精度は主として、デバイス寸法精度や不純物濃度の不均一性によってきまる。最近のリソグラフィ技術の進歩や製造技術の改良によって、これらの精度は改善されつつある。

所が、完全な特性を持って完成されたベレットも、ケースにマウントされるとき極端的な影響を受ける。この影響は、前述したピエゾ効果によってトラ

- 3 -

PチャンネルMOSトランジスタのチャンネル抵抗のピエゾ抵抗係数を測定し、およその値として次の結果が得られた。

$$\begin{aligned} \text{Pチャンネル} \quad \pi_{11} &= -2 \\ \pi_{12} &= 18 \\ \pi_{44} &= 144 \end{aligned}$$

単位は  $10^{-12} \text{ dyn}^{-1} \cdot \text{cm}^2$

これから、 $\pi_{11}$  及び  $\pi_{12}$  が  $\pi_{44}$  に比べて小さいことがわかる。 $\pi_{11}$  は〈100〉方向に一軸性応力を与え、電流の向きをこれと一致させた時のピエゾ効果を表わす。又、 $\pi_{12}$  は応力の方向が〈100〉の時、これと直交する方向に電流が流れる時のピエゾ効果を表わす。

もし、電流の方向を〈100〉に固定するならば(1)式よりすべての応力に対して、ピエゾ抵抗係数は  $\pi_{11}$  と  $\pi_{12}$  しか現れない。すなわち、大きな値を持つ  $\pi_{44}$  は全く影響を及ぼさない。従って、電流の方向を〈100〉にすれば、ピエゾ効果を最小にすることができる。

電流の方向を〈100〉にするということは、

- 5 -

ンジスタ特性を悪化させる。これによって、ベレットでは良品であったものが、ケースに組まれると不良品になったり又は特性が劣下したりする。

この問題を解決する一つの方法は、回路特性が個々のトランジスタ特性の変動の影響を受けない様に工夫された回路を用いることである。2の方法は、デバイスのピエゾ効果が最小になる様にすることである。本特明は後者の一手段を提供するものである。

以下に本特明の内容を説明する。

シリコン単結晶の立方晶系のピエゾ効果は、3個の独立なピエゾ抵抗係数  $\pi_{11}$ 、 $\pi_{12}$ 、 $\pi_{44}$  で決定される。結晶に加えられた応力  $X_i$  による抵抗値の変化を  $d_i = dR/R$  とすると、これらの関係は次の様なマトリックスで表わせる。

$$\begin{pmatrix} d_{11} \\ d_{22} \\ d_{33} \\ d_{23} \\ d_{31} \\ d_{12} \end{pmatrix} = \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{pmatrix} \begin{pmatrix} X_{11} \\ X_{22} \\ X_{33} \\ X_{23} \\ X_{31} \\ X_{12} \end{pmatrix} \quad \dots \dots (1)$$

- 4 -

MOSトランジスタのチャンネルの方向を〈100〉に一致させることと等しい。チャンネルの方向を〈100〉に一致させるためには、(100)面を持つシリコン単結晶基板を用いれば良い。(100)面を持つ基板の結晶軸方向を示すオリエンテーションフラットは〈110〉方向にある。従って、チャンネルを常にオリエンテーションフラットと45°をなす方向に向ければ、チャンネルの方向は〈100〉になる。この様子を第1図に示す。3及び4はソース及びドレインを、5はゲート電極である。この時、ベレットの方向も〈100〉になれば、トランジスタの集積密度を最大にすることができ、レイアウトも容易になる。もし、オリエンテーションフラットを〈100〉方向に取ればフォトリソグラフィの工程は一層容易になる。

以上はMOSトランジスタについて述べてきたが、同様なことがPチャンネル型電界効果トランジスタについても言える。ただ、この場合のピエゾ抵抗係数はMOSトランジスタのものとは異なる。しかし、 $\pi_{11}$ 、 $\pi_{12}$  が  $\pi_{44}$  に比べて著しく

- 6 -

小さいことには要りない。これに關する実測値は存在しないが、バルクシリコンの実測値から予想することは可能である。

本発明の主旨は、Pチャネル電界効果トランジスタのチャンネル方向を $\langle 100 \rangle$ 方向に一致させることにある。これによって、ピエゾ効果によるトランジスタ特性の劣化を最小にすることができる。

#### 4. 図面の簡単な説明

第1図は本発明の実施例におけるトランジスタウェハに対する配置を示す。

同、図において、1…… $\langle 100 \rangle$ シリコン基板、2…… $\langle 110 \rangle$ オリエンテーションフラット、3……ソース、4……ドレイン、5……ゲート電極である。

代理人 井堀士 内 原 音

